



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출 원 번 호 : 10-2003-0023733  
Application Number

출 원 년 월 일 : 2003년 04월 15일  
Date of Application APR 15, 2003

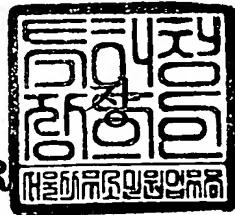
출 원 인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 11 월 14 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0014
【제출일자】	2003.04.15
【국제특허분류】	H01L
【발명의 명칭】	독출 동작과 기입 동작이 동시에 수행되는 메모리 셀 어레이 구조를 가지는 집적 회로
【발명의 영문명칭】	Integrated circuit having memory cell array configuration capable of operating data reading and data writing simultaneously
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	손교민
【성명의 영문표기】	SOHN,Kyo Min
【주민등록번호】	710620-1030511
【우편번호】	463-773
【주소】	경기도 성남시 분당구 서현동(시범단지) 우성아파트 218동 1206호
【국적】	KR
【발명자】	
【성명의 국문표기】	서영호
【성명의 영문표기】	SUH, Young Ho
【주민등록번호】	630528-1691818

【우편번호】 441-340  
【주소】 경기도 수원시 권선구 구운동 890  
【국적】 KR  
【심사청구】 청구  
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인  
이영필 (인) 대리인  
정상빈 (인)  
【수수료】  
【기본출원료】 20 면 29,000 원  
【가산출원료】 15 면 15,000 원  
【우선권주장료】 0 건 0 원  
【심사청구료】 11 항 461,000 원  
【합계】 505,000 원  
【첨부서류】 1. 요약서·명세서(도면)\_1통

### 【요약서】

#### 【요약】

독출 동작과 기입 동작이 동시에 수행되는 메모리 셀 어레이 구조를 가지는 집적 회로가 개시된다. 본 발명에 따른 집적 회로는 입출력 포트가 분리되어 있고 클럭 신호의 한 주기 동안 기입 어드레스와 독출 어드레스가 동시에 입력되는 집적 회로에 있어서, 복수개의 서브 메모리 블록들을 각각 구비하는 복수개의 메모리 블록들, 상기 메모리 블록들에 대응되는 데이터 메모리 블록들 및 상기 기입 어드레스 또는 상기 독출 어드레스에 응답하여 데이터를 상기 메모리 블록들 및 상기 데이터 메모리 블록들로 기입하거나 독출하는 태그 메모리 제어부를 구비하고, 상기 서브 메모리 블록들은 동시에 입력된 상기 기입 어드레스 및 독출 어드레스가 동일한 경우에도 동일한 서브 메모리 블록이 동시에 접근되지 아니한다. 상기 데이터 메모리 블록은 상기 하나의 서브 메모리 블록과 동일한 사이즈를 갖는다면 상기 서브 메모리 블록과 다른 칼럼(column) 수와 다른 로우(row) 수를 가질 수 있는 것을 특징으로 한다. 상기 태그 메모리 제어부의 각 어드레스는 서브 메모리 블록이  $\{2\}^{\{N\}}$  개라면,  $N+1$  개의 데이터 비트를 구비하며, 상기  $N+1$  개의 데이터 비트 중  $N$  비트는 상기 데이터 메모리 어드레스를 나타내고, 나머지 1비트는 상기 유효 판단 정보를 나타내는 것을 특징으로 한다. 본 발명에 따른 메모리 셀 어레이 구성을 가지는 집적 회로는 클럭 신호의 한 주기 동안 독출 동작 및 기입 동작이 동시에 수행됨으로써 클럭 신호의 주기를 짧게 할 수 있는 장점이 있다.

#### 【대표도】

도 2

## 【명세서】

### 【발명의 명칭】

독출 동작과 기입 동작이 동시에 수행되는 메모리 셀 어레이 구조를 가지는 집적 회로  
{Integrated circuit having memory cell array configuration capable of operating data reading and data writing simultaneously}

### 【도면의 간단한 설명】

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 분리된 입출력 포트를 가지는 메모리 장치의 동작을 설명하는 타이밍도이다.

도 2는 제 본 발명에 따른 집적 회로를 나타내는 블록도이다.

도 3은 도 2의 집적 회로에 의하여 데이터의 독출 동작과 기입 동작이 동시에 수행되는 방법을 나타내는 플로우 차트이다.

도 4는 도 3의 340단계를 설명하는 플로우 차트이다.

도 5는 도 3의 345단계를 설명하는 플로우 차트이다.

도 6은 도 3의 355단계를 설명하는 플로우 차트이다.

도 7은 본 발명에 따른 집적 회로의 메모리 구성을 나타내는 블록도이다.

도 8은 서브 메모리 블록과 데이터 메모리 블록의 맵핑(mapping)을 설명하는 도면이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<10> 본 발명은 집적 회로에 관한 것으로서, 특히 데이터의 독출 동작과 기입 동작이 동시에 수행되는 메모리 셀 어레이 구조를 가지는 집적 회로에 관한 것이다.

<11> 일반적인 동기식 램(synchronous RAM)은 하나의 클럭 주기마다 독출 데이터 또는 기입 데이터 중 어느 하나만을 전송할 수 있다.

<12> 이중 데이터율 램(double data rate RAM)은 클럭의 상승 에지와 하강 에지마다 데이터를 전송함으로써 데이터 전송률을 2배 증가 시켰다. 그러나 일반적인 메모리 장치는 데이터의 입력과 데이터의 출력이 하나의 핀을 통하여 이루어진다. 공통 입출력 포트(common IO)를 이용하는 방법은 데이터의 입력과 출력이 독립적으로 제어될 수 없기 때문에 데이터의 입력 주파수와 출력 주파수가 제한될 수밖에 없다.

<13> 그러나 메모리 장치의 대역폭(bandwidth)이 중요시되면서, 분리된 입출력 포트(separate IO)를 사용하는 제품들이 제조되고 있다. 즉, 데이터의 입력과 출력이 독립적으로 제어될 수 있도록 입력 핀과 출력 핀이 분리된 것이다. 분리된 입력 핀과 출력 핀을 가진 메모리 장치는 클럭의 한 주기 내에 독출 명령(read command)과 독출 어드레스(read address), 기입 명령(write command)과 기입 어드레스(write address) 및 기입 데이터(write data)를 모두 수신할 수 있으므로 동작 주파수를 증가시킬 수 있다.

<14> 그러나, 분리된 입출력 포트를 가지는 메모리 장치라도 하나의 클럭 주기 내에서 독출 명령(read command)과 독출 어드레스(read address), 기입 명령(write command)과 기입 어드레스(write address) 및 기입 데이터(write data)를 모두 수신하는 것은 어렵다. 따라서 기존의 분리된 입출력 포트를 가지는 메모리 장치는 독출 명령과 독출 어드레스, 기입 명령과 기입 어드레스, 기입 데이터를 각각 다른 클럭 주기 내에서 처리하는 방식을 취하고 있다. 그러나 이러한 방식은 데이터 전송률을 크게 저하시키는 단점이 있다.

스(write address) 및 기입 데이터(write data)를 수신하는 경우, 독출 동작과 기입 동작이 하나의 클럭 주기 내에 수행되기 위해서는 두 번의 메모리 셀 접근이 수행되어야 한다.

<15> 즉, 데이터의 독출과 기입을 위한 워드 라인의 활성화가 클럭의 한 주기 내에 두 번 수행되어야 하므로 클럭 주파수가 워드 라인의 활성화 시간에 의해서 제한을 받는 문제가 있다.

<16> 도 1은 분리된 입출력 포트를 가지는 메모리 장치의 동작을 설명하는 타이밍도이다.

<17> 어드레스와 워드 라인사이의 관계나 입력 데이터 및 출력 데이터의 레이턴시(latency)는 메모리 장치의 회로 구성에 따라 달라지므로 도 1에서는 고려되지 않는다.

<18> 도 1을 참조하면, 클럭 신호(CLK)의 한 주기 내에서 기입 어드레스(WADD)와 독출 어드레스(RADD)가 모두 입력되고 있다. 클럭 신호(CLK)의 상승 에지에서 입력되는 어드레스(A0, A2, A4, A6)가 독출 어드레스(RADD)이고, 클럭 신호(CLK)의 하강 에지에서 입력되는 어드레스(A1, A3, A5, A7)가 기입 어드레스(WADD)이다.

<19> RES와 WES는 각각 독출 어드레스(RADD)와 기입 어드레스(WADD)를 선택하는 독출 선택 신호 및 기입 선택 신호이다.

<20> 독출 어드레스(RADD) A0에 의하여 워드 라인(AWL0)가 활성화되고, 워드 라인(AWL0)에 응답하여 데이터(Q0)가 출력된다. 또한 기입 어드레스(WADD) A1에 응답하여 워드 라인(AWL1)이 활성화되면 입력 데이터(D1)가 입력된다.

<21> 독출 동작을 위한 워드 라인(AWL0)과 기입 동작을 위한 워드 라인(AWL1)이 클럭 신호(CLK)의 한 주기 내에서 활성화되어야 한다. 따라서 클럭 신호의 한 주기의 길이가 두 개의 워드라인의 활성화 시간보다 짧아질 수 없게되는 문제가 있다.

**【발명이 이루고자 하는 기술적 과제】**

<22> 본 발명이 이루고자하는 기술적 과제는 클럭 신호의 한 주기 동안 독출 동작 및 기입 동작이 동시에 수행됨으로써 클럭 신호의 주기를 짧게 하기 위한 집적 회로의 내부의 메모리 셀 어레이 구성을 제공하는 데 있다.

**【발명의 구성 및 작용】**

<23> 상기 기술적 과제를 달성하기 위한 본 발명에 따른 집적 회로는 입출력 포트가 분리되어 있고 클럭 신호의 한 주기 동안 기입 어드레스와 독출 어드레스가 동시에 입력되는 집적 회로에 있어서, 복수개의 서브 메모리 블록들을 각각 구비하는 복수개의 메모리 블록들, 상기 메모리 블록들에 대응되는 데이터 메모리 블록들 및 상기 기입 어드레스 또는 상기 독출 어드레스에 응답하여 데이터를 상기 메모리 블록들 및 상기 데이터 메모리 블록들로 기입하거나 독출하는 태그 메모리 제어부를 구비하고, 상기 서브 메모리 블록들은 동시에 입력된 상기 기입 어드레스 및 독출 어드레스가 동일한 경우에도 동일한 서브 메모리 블록이 동시에 접근되지 아니한다.

<24> 상기 서브 메모리 블록들은 공통의 워드라인을 공유하는 메모리 셀들의 집합이거나 또는 공통의 비트라인을 공유하는 메모리 셀들의 집합이다. 상기 서브 메모리 블록들은 동시에 두 개 이상의 워드라인이 활성화 될 수 없거나 또는 동시에 두 개 이상의 비트라인이 활성화 될 수 없는 것을 특징으로 한다. 상기 데이터 메모리 블록은 상기 하나의 서브 메모리 블록과 동일한 사이즈를 가진다.

<25> 상기 데이터 메모리 블록은 상기 하나의 서브 메모리 블록과 동일한 사이즈를 갖는다면 상기 서브 메모리 블록과 다른 칼럼(column) 수와 다른 로우(row) 수를 가질 수 있는 것을 특

정으로 한다. 상기 태그 메모리 제어부는 상기 데이터 메모리 블록을 디코딩하기 위한 어드레스 수와 동일한 수의 디코딩 어드레스를 가지는 것을 특징으로 한다.

<26> 상기 태그 메모리 제어부는 상기 데이터 메모리 블록과 다른 칼럼(column) 수와 다른 로우(row) 수를 가질 수 있는 것을 특징으로 한다. 상기 태그 메모리 제어부는, 상기 데이터 메모리 블록에 현재 저장되어 있는 데이터가 본래 어떤 서브 메모리 블록에 대응되는 데이터인지 를 나타내는 데이터 메모리 어드레스 및 상기 데이터 메모리 블록에 현재 저장되어 있는 데이터 유효한지를 판단하기 위한 유효 판단 정보를 저장하는 것을 특징으로 한다.

<27> 상기 태그 메모리 제어부의 각 어드레스는 서브 메모리 블록이  $\{2\}^{N}$  개라면,  $N+1$  개의 데이터 비트를 구비하며, 상기  $N+1$ 개의 데이터 비트 중  $N$  비트는 상기 데이터 메모리 어드레스를 나타내고, 나머지 1비트는 상기 유효 판단 정보를 나타내는 것을 특징으로 한다.

<28> 상기 데이터 메모리 블록은 상기 서브 메모리 블록과 다이렉트 맵핑(direct mapping)의 관계를 가진다. 상기 데이터는 단일 데이터율(SDR :Single Data Rate) 또는 이중 데이터율(DDR :Double Data Rate)로 입력 또는 출력되는 것을 특징으로 한다.

<29> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.

<30> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

<31> 도 2는 본 발명의 집적 회로를 나타내는 블록도이다.

<32> 도 2를 참조하면, 집적 회로(200)는 복수개의 서브 메모리 블록들(SMB1, SMB2 ~ SMB M)을 각각 구비하는 메모리 블록들(MB1, MB2, MB3, MB4), 메모리 블록들(MB1, MB2, MB3, MB4)에 대응되는 데이터 메모리 블록들(DMB1, DMB2, DMB3, DMB4) 및 태그 메모리 제어부(210)를 구비한다. 도 2의 집적 회로(200)는 입출력 포트가 분리되어 있고, 클럭 신호의 한 주기동안 기입 어드레스(WADD)와 독출 어드레스(RADD)가 입력된다.

<33> 메모리 블록들(MB1, MB2, MB3, MB4)은 서로 동일한 구조를 가지고 있고, 데이터 메모리 블록들(DMB1, DMB2, DMB3, DMB4)도 서로 동일한 구조를 가지고 있으므로, 메모리 블록들(MB1, MB2, MB3, MB4)중 두 번째 메모리 블록(MB2)과 두 번째 데이터 메모리 블록(DMB2)을 중심으로 설명한다.

<34> 기입 어드레스(WADD) 및 독출 어드레스(RADD)는 각각 상위 어드레스와 하위 어드레스로 구분되는데, 상위 어드레스는 복수개의 서브 메모리 블록들 중 어느 하나를 지정하는 어드레스이다.

<35> 본 발명의 기본 원리는 기입 어드레스(WADD) 및 독출 어드레스(RADD)가 동일한 경우, 데이터의 독출 동작과 기입 동작이 메모리 블록과 데이터 메모리 블록에 각각 나누어져 동시에 수행됨으로써 클럭 신호의 주기를 줄이려는 것이다.

<36> 즉, 기입 어드레스(WADD)와 독출 어드레스(RADD)가 동일하여 동시에 하나의 서브 메모리 블록(예를 들어, SMB2)에서 기입 동작과 독출 동작이 수행되어야 하는 경우, 서브 메모리 블록(SMB2)에서 데이터의 독출 동작이 수행되면 데이터의 기입 동작은 서브 메모리 블록(SMB2)에 대응되는 데이터 메모리 블록(DMB2)에서 수행되도록 한다.

<37> 반대로, 서브 메모리 블록(SMB2)에서 데이터의 기입 동작이 수행되면 데이터의 독출 동작은 서브 메모리 블록(SMB2)에 대응되는 데이터 메모리 블록(DMB2)에서 수행되도록 한다. 이와 같은 방법으로 데이터의 독출 동작 및 기입 동작이 동시에 병렬적으로 수행될 수 있고 클럭 신호의 주기가 줄어들 수 있다.

<38> 이를 위하여, 서브 메모리 블록(SMB2)의 일정한 메모리 셀은 데이터 메모리 블록(DMB2)의 일정한 메모리 셀에 직접 대응(direct mapping)된다. 또한, 동일한 서브 메모리 블록에 대하여 계속하여 기입 동작과 독출 동작이 수행될 경우도 발생될 수 있으므로, 데이터 메모리 블록의 사이즈는 하나의 서브 메모리 블록의 사이즈와 같거나 커야한다.

<39> 태그 메모리 제어부(210)는 서브 메모리 블록과 데이터 메모리 블록 중 어느 곳에서 기입 동작 또는 독출 동작이 수행될지를 결정한다. 태그 메모리 제어부(210)는 기입 어드레스(WADD) 또는 독출 어드레스(RADD)에 응답하여 메모리 블록들(MB1, MB2, MB3, MB4) 및 데이터 메모리 블록들(DMB1, DMB2, DMB3, DMB4)에 저장된 데이터를 독출하거나 메모리 블록들(MB1, MB2, MB3, MB4) 및 데이터 메모리 블록들(DMB1, DMB2, DMB3, DMB4)로 데이터를 기입한다.

<40> 기입 어드레스(WADD)와 독출 어드레스(RADD)가 동일하여, 메모리 블록(MB2)중의 하나의 서브 메모리 블록에서 독출 동작이 수행되고 데이터 메모리 블록(DMB2)에서 기입 동작이 수행된 경우, 데이터 메모리 블록(DMB2)에 기입된 데이터가 본래 기입되어야 할 서브 메모리 블록(SMB2)의 주소가 데이터 메모리 어드레스로서 태그 메모리 제어부(210)에 저장된다.

<41> 즉, 데이터 메모리 어드레스는 데이터 메모리 블록(DMB2)에 저장되어 있는 데이터가 본래 저장되어 있어야 할 서브 메모리 블록을 지정하는 상위 어드레스이다.

<42> 만일 태그 메모리 제어부(210)에 저장된 데이터 메모리 어드레스를 인식하려면 입력되는 어드레스 중에서 하위 어드레스를 이용하여 태그 메모리 제어부(210)에 저장된 데이터 메모리 어드레스의 위치를 알 수 있다.

<43> 다음 번 기입 어드레스(WADD)와 독출 어드레스(RADD)가 서로 동일하고, 또한 이전의 기입 어드레스(WADD)와 독출 어드레스(RADD)와도 동일하여 데이터 메모리 블록(DMB2)에 다시 기입 동작이 수행되어야 할 경우가 있다. 이 경우, 데이터 메모리 블록(DMB2)에 먼저 기입되어 있던 데이터가 유효한 데이터인지 여부를 판단해야 한다.

<44> 유효한 데이터라면 데이터 메모리 블록(DMB2)에 먼저 기입되어 있는 데이터를 독출하여 메모리 블록(MB2)의 대응되는 서브 메모리 블록에 기입한 후, 다음 번 기입 어드레스(WADD)에 대응되는 데이터를 데이터 메모리 블록(DMB2)에 기입해야 하기 때문이다. 데이터 메모리 블록(DMB2)에 저장되어 있는 데이터가 유효한지를 판단하는 유효 판단 정보도 태그 메모리 제어부(210)에 저장된다.

<45> 또한 기입 어드레스(WADD) 및 독출 어드레스(RADD)가 다른 경우, 각각의 기입 및 독출 어드레스(WADD, RADD)에 대응되는 서로 다른 2개의 서브 메모리 블록들이 각각 디코딩 된다.

<46> 이를 위하여, 집적 회로(200)는 기입 어드레스 디코딩 패스(미도시)와 독출 어드레스 디코딩 패스(미도시)가 서로 독립적으로 분리되어야 한다. 그리고, 서브 메모리 블록들(SMB1, SMB2, SMB3 ~ SMB M)은 기입 어드레스 디코딩 패스와 독출 어드레스 디코딩 패스에 각각 연결되어야 한다.

<47> 데이터는 단일 데이터 율(SDR: Single Data Rate) 또는 이중 데이터 율(DDR: Double Data Rate)로 입력 핀 및 출력 핀을 통하여 입력 또는 출력된다.

<48> 도 3은 도 2의 집적 회로에 의하여 데이터의 독출 동작과 기입 동작이 동시에 수행되는 방법을 나타내는 플로우 차트이다.

<49> 먼저, 클럭 신호의 한 주기 동안 기입 어드레스와 독출 어드레스가 모두 입력되는지 기입 어드레스 및 독출 어드레스 중 어느 하나만 입력되는지를 판단한다.(310 단계)

<50> 태그 메모리 제어부(310)는 기입 어드레스(WADD)와 독출 어드레스(RADD)를 수신한다. 기입 어드레스와 독출 어드레스가 모두 입력되면 기입 어드레스의 상위 어드레스와 상기 독출 어드레스의 상위 어드레스가 동일한지를 판단한다.(320단계)

<51> 기입 어드레스(WADD)나 독출 어드레스(RADD)는 상위 비트에 서브 메모리 블록을 지정하는 정보를 가지고 있다. 따라서 기입 어드레스(WADD)나 독출 어드레스(RADD)가 입력되면 먼저 기입 어드레스(WADD)나 독출 어드레스(RADD)의 상위 어드레스를 인식하여 어떤 서브 메모리 블록을 지정하는지를 판단한다.

<52> 기입 어드레스의 상위 어드레스와 독출 어드레스의 상위 어드레스가 동일하면, 기입 어드레스와 독출 어드레스가 소정의 데이터 메모리 어드레스와 동일한지를 판단한다.(330 단계)

<53> 기입 어드레스(WADD)의 상위 어드레스와 독출 어드레스(RADD)의 상위 어드레스가 동일하면 기입 어드레스(WADD) 및 독출 어드레스(RADD)가 동일한 서브 메모리 블록을 지정하고 있는 것이다. 그러면 기입 동작이나 또는 독출 동작 중 하나는 서브 메모리 블록에서 수행되고 나머지 하나의 동작은 데이터 메모리 블록에서 수행되어야 한다.

<54> 태그 메모리 제어부(210)는 데이터 메모리 어드레스를 내부에 저장하고 있다. 데이터 메모리 어드레스는 데이터 메모리 블록(DMB2)에 대응되는 서브 메모리 블록의 어드레스를 나타낸

다. 만일 기입 어드레스(WADD)가 데이터 메모리 어드레스와 동일하면 기입 동작은 데이터 메모리 블록(DMB2)에서 수행되어야 한다.

<55> 기입 어드레스와 독출 어드레스 중 어느 하나도 상기 데이터 메모리 어드레스와 동일하지 않으면, 상기 독출 어드레스에 대응되는 상기 서브 메모리 블록에서 독출 동작을 수행하고, 상기 데이터 메모리 블록에서 기입 동작을 수행한다.(340 단계)

<56> 제 340 단계를 도 4를 참조하여 좀더 설명한다. 기입 어드레스와 독출 어드레스 중 어느 하나도 상기 데이터 메모리 어드레스와 동일하지 않으면, 상기 데이터 메모리 블록에 저장되어 있는 데이터가 유효한지를 판단한다.(410 단계)

<57> 기입 어드레스(WADD)와 독출 어드레스(RADD) 중 어느 하나도 상기 데이터 메모리 어드레스와 동일하지 않다는 것은 결국, 메모리 블록(MB2)의 동일한 서브 메모리 블록에서 기입 동작 및 독출 동작이 수행되어야 한다는 것을 의미한다. 그러나 동일한 서브 메모리 블록에서 기입 워드 라인과 독출 워드 라인이 동시에 인에이블 될 수는 없다. 따라서 데이터 메모리 블록(DMB2)을 이용한다.

<58> 상기 데이터 메모리 블록에 저장되어 있는 데이터가 유효하지 않으면 상기 독출 어드레스에 대응되는 상기 서브 메모리 블록에서 독출 동작을 수행하고, 상기 데이터 메모리 블록에서 기입 동작을 수행한다.(440 단계)

<59> 기입 동작과 독출 동작이 동일한 서브 메모리 블록에서 수행되어야 할 경우 독출 동작이 우선적으로 수행된다. 따라서, 독출 어드레스(RADD)에 대응되는 메모리 블록(MB2)의 서브 메모리 블록에서 독출 동작을 수행한다. 그리고 데이터 메모리 블록(DMB2)에 저장되어 있던 데이터가 유효하지 않으므로 데이터 메모리 블록(DMB2)에 기입 동작을 수행한다.

<60> 데이터 메모리 블록(DMB2)에 저장된 데이터가 새로운 기입 동작에 의해서 변경되었으므로, 상기 데이터 메모리 블록에 기입된 데이터에 관한 정보를 업데이트(update) 시킨다.(450 단계) 이러한 정보의 업데이트는 태그 메모리 제어부(210)에서 수행된다.

<61> 상기 데이터 메모리 블록에 저장되어 있는 데이터가 유효하면 상기 독출 어드레스에 대응되는 상기 서브 메모리 블록에서 독출 동작을 수행하고, 상기 데이터 메모리 블록에 저장되어 있는 유효한 데이터를 독출하여 대응되는 서브 메모리 블록에 기입한다.(420 단계)

<62> 기입 동작과 독출 동작이 동일한 서브 메모리 블록에서 수행되어야 할 경우 독출 동작이 우선적으로 수행되므로, 독출 어드레스(RADD)에 대응되는 메모리 블록(MB2)의 서브 메모리 블록에서 독출 동작이 수행된다.

<63> 데이터 메모리 블록(DMB2)에 저장된 데이터가 유효한 데이터이므로 먼저, 데이터 메모리 블록(DMB2)에 저장되어 있는 유효한 데이터를 독출하여, 독출된 데이터를 메모리 블록의 대응되는 서브 메모리 블록에 기입해야 한다.

<64> 그리고, 데이터 메모리 블록(DMB2)에 새로운 데이터의 기입 동작을 수행하고, 데이터 메모리 블록(DMB2)에 기입된 데이터에 관한 정보를 업데이트(update) 시킨다.(430 단계) 정보의 업데이트는 역시 태그 메모리 제어부(210)에서 수행된다.

<65> 이와 같은 데이터의 기입 동작과 독출 동작은 동시에 수행된다. 즉, 서브 메모리 블록과 데이터 메모리 블록(DMB2)에서 기입 동작과 독출 동작이 독립적으로 수행되므로 기입 워드 라인과 독출 워드 라인은 동시에 인에이블 될 수 있다.

<66> 따라서 기입 워드라인과 독출 워드라인이 순차적으로 인에이블 됨으로 인하여 클럭 신호의 주기를 줄이는데 제한이 생기는 문제를 해결할 수 있는 것이다.

<67> 상기 330 단계에서 상기 기입 어드레스 또는 상기 독출 어드레스가 상기 데이터 메모리 어드레스와 일치한다면, 상기 기입 어드레스 및 상기 독출 어드레스 중 하나만이 상기 데이터 메모리 어드레스와 일치되는지, 상기 기입 어드레스 및 상기 독출 어드레스 모두가 상기 데이터 메모리 어드레스와 일치되는지를 판단하여 기입 동작 및 독출 동작을 수행한다.(345 단계)

<68> 제 345 단계를 도 5를 참조하여 좀 더 설명한다. 상기 기입 어드레스 및 상기 독출 어드레스 중 하나가 상기 데이터 메모리 어드레스와 일치되면, 상기 데이터 메모리 어드레스와 일치된 어드레스에 대응되는 동작을 상기 데이터 메모리 블록에서 수행하고, 상기 데이터 메모리 어드레스와 일치되지 않은 어드레스에 대응되는 동작을 상기 서브 메모리 블록에서 수행한다.(510 단계)

<69> 즉, 독출 어드레스(RADD)가 데이터 메모리 어드레스와 일치되고, 기입 어드레스(WADD)가 데이터 메모리 어드레스와 일치되지 않으면, 데이터 메모리 블록(DMB2)에서 독출 동작을 수행한다.

<70> 반대로, 기입 어드레스(WADD)가 데이터 메모리 어드레스와 일치되고, 독출 어드레스(RADD)가 데이터 메모리 어드레스와 일치되지 않으면, 데이터 메모리 블록(DMB2)에서 기입 동작을 수행하고, 메모리 블록(MB2)에서 독출 동작을 수행한다.

<71> 상기 기입 어드레스 및 상기 독출 어드레스가 모두 상기 데이터 메모리 어드레스와 일치되면, 상기 데이터 메모리 블록에서 독출 동작을 수행하고, 상기 서브 메모리 블록에서 기입 동작을 수행하며, 상기 서브 메모리 블록에 기입된 데이터에 관한 정보를 업데이트(update) 시킨다.(520 단계)

<72> 기입 어드레스 및 상기 독출 어드레스가 모두 상기 데이터 메모리 어드레스와 일치되면, 기입 동작과 독출 동작이 모두 데이터 메모리 블록(DMB2)에서 수행되어야 한다는 것을 의미한다.

<73> 그러나, 이것은 동일한 서브 메모리 블록에서 기입 동작과 독출 동작이 동시에 수행될 수 없는 것과 동일한 이유로 불가능하다. 따라서, 데이터 메모리 블록(DMB2)에서 독출 동작이 수행된다. 그리고 메모리 블록(MB2)의 대응되는 서브 메모리 블록에서 기입 동작이 수행된다.

<74> 본래 데이터 메모리 블록(DMB2)에 기입되어야 할 데이터가 서브 메모리 블록에 기입된 것이므로, 데이터 메모리 블록(DMB2)에 현재 저장되어 있는 데이터는 유효하지 않은 데이터가 된다. 따라서 이러한 정보를 태그 메모리 제어부(210)에 업데이트 시킨다.

<75> 제 320 단계에서, 상기 기입 어드레스의 상위 어드레스와 상기 독출 어드레스의 상위 어드레스가 동일하지 않으면, 상기 기입 어드레스와 상기 독출 어드레스가 상기 데이터 메모리 어드레스와 일치되는지를 판단한다.(350 단계)

<76> 상기 기입 어드레스 및 상기 독출 어드레스 중 하나가 상기 데이터 메모리 어드레스와 일치되는지, 상기 기입 어드레스 및 상기 독출 어드레스 모두가 상기 데이터 메모리 어드레스와 일치되는지를 판단하여 기입 동작 및 독출 동작을 수행한다.(355 단계)

<77> 제 355 단계를 도 6을 참조하여 좀 더 설명한다. 상기 기입 어드레스 및 상기 독출 어드레스 중 어느 하나가 상기 데이터 메모리 어드레스와 일치되면, 상기 데이터 메모리 어드레스와 일치된 어드레스에 대응되는 동작을 상기 데이터 메모리 블록에서 수행하고, 상기 데이터 메모리 어드레스와 일치되지 않은 어드레스와 일치되는 동작을 상기 서브 메모리 블록에서 수행한다.(610 단계)

<78> 즉, 독출 어드레스(RADD)가 데이터 메모리 어드레스와 일치되고, 기입 어드레스(WADD)가 데이터 메모리 어드레스와 일치되지 않으면, 데이터 메모리 블록(DMB2)에서 독출 동작을 수행한다. 또한 태그 메모리 제어부(210)는 서브 메모리 블록에서 기입 동작이 수행되도록 한다.

<79> 반대로, 기입 어드레스(WADD)가 데이터 메모리 어드레스와 일치되고, 독출 어드레스(RADD)가 데이터 메모리 어드레스와 일치되지 않으면, 데이터 메모리 블록(DMB2)에서 기입 동작을 수행하고, 서브 메모리 블록에서 독출 동작을 수행한다.

<80> 상기 기입 어드레스 및 상기 독출 어드레스가 모두 상기 데이터 메모리 어드레스와 일치되면, 상기 데이터 메모리 블록에서 독출 동작을 수행하고, 상기 서브 메모리 블록에서 기입 동작을 수행하며, 상기 서브 메모리 블록에 기입된 데이터에 관한 정보를 업데이트(update) 시킨다.(620 단계)

<81> 기입 어드레스 및 독출 어드레스가 모두 상기 데이터 메모리 어드레스와 일치되면, 기입 동작과 독출 동작이 모두 데이터 메모리 블록(DMB2)에서 수행되어야 한다는 것을 의미한다.

<82> 그러나, 이것은 동일한 서브 메모리 블록에서 기입 동작과 독출 동작이 동시에 수행될 수 없는 것과 동일한 이유로 불가능하다. 따라서, 데이터 메모리 블록(DMB2)에서 독출 동작을 수행한다. 그리고 메모리 블록(MB2)의 대응되는 서브 메모리 블록에서 기입 동작을 수행한다.

<83> 본래 데이터 메모리 블록(DMB2)에 기입되어야 할 데이터가 서브 메모리 블록에 기입된 것이므로, 데이터 메모리 블록(DMB2)에 현재 저장되어 있는 데이터는 유효하지 않은 데이터가 된다. 따라서 이러한 정보를 태그 메모리 제어부(210)에 업데이트 시킨다.

<84> 제 350 단계에서 판단한 결과, 상기 기입 어드레스 및 상기 독출 어드레스 가 모두 상기 데이터 메모리 어드레스와 일치되지 않으면, 상기 선택된 메모리 블록 중 상기 기입 어드레스

및 상기 독출 어드레스에 대응되는 서로 다른 서브 메모리 블록에서 기입 동작 및 독출 동작을 수행한다.(360 단계)

<85> 이 경우는 기입 어드레스(WADD) 및 독출 어드레스(RADD)가 서로 다른 서브 메모리 블록을 지정하고 있는 경우이다. 서로 다른 서브 메모리 블록이 지정되었으므로 각각의 서브 메모리 블록에 대응되는 디코딩 회로(미도시)를 이용하여 데이터의 독출 동작과 기입 동작을 수행한다.

<86> 제 310 단계에서, 상기 기입 어드레스 및 상기 독출 어드레스 중 어느 하나만 입력되면 입력된 상기 기입 어드레스 및 상기 독출 어드레스 중 어느 하나가 상기 데이터 메모리 어드레스와 일치되는지를 판단한다.(365 단계)

<87> 입력된 상기 기입 어드레스 또는 상기 독출 어드레스가 상기 데이터 메모리 어드레스와 일치되면, 상기 데이터 메모리 어드레스와 일치된 기입 어드레스 또는 독출 어드레스에 대응되는 동작을 상기 데이터 메모리 블록에서 수행한다.(370 단계)

<88> 이 경우는 클럭 신호의 한 주기 동안 기입 어드레스(WADD) 및 독출 어드레스(RADD) 중 어느 하나만이 입력되는 것이다. 이때는 입력되는 어드레스가 데이터 메모리 어드레스와 일치되면 데이터 메모리 블록에서 대응되는 동작을 수행하고, 데이터 메모리 어드레스와 일치되지 않으면 서브 메모리 블록에서 대응되는 동작을 수행한다.

<89> 즉, 기입 어드레스(WADD)만이 입력되고, 입력된 기입 어드레스(WADD)가 데이터 메모리 어드레스와 일치된다면 데이터 메모리 블록(DMB2)에 기입 동작을 수행한다.

<90> 반대로, 독출 어드레스(RADD)만이 입력되고, 입력된 독출 어드레스(RADD)가 데이터 메모리 어드레스와 일치된다면 데이터 메모리 블록(DMB2)에서 독출 동작을 수행한다.

<91> 입력된 상기 기입 어드레스 또는 상기 독출 어드레스가 상기 데이터 메모리 어드레스와 일치되지 않으면, 상기 데이터 메모리 어드레스와 일치되지 않은 기입 어드레스 또는 독출 어드레스에 대응되는 동작을 상기 서브 메모리 블록에서 수행한다.(375단계)

<92> 독출 동작과 기입 동작을 동시에 수행하기 위한 집적 회로의 내부 동작이 이 도 2 내지 도 6을 참조하여 설명되었다. 이러한 내부 동작이 수행되기 위한 서브 메모리 블록, 데이터 메모리 블록 및 태그 메모리 제어부의 구성을 이하에서 설명한다.

<93> 도 7은 본 발명에 따른 집적 회로의 메모리 구성을 나타내는 블록도이다.

<94> 도 7은 도 2의 블록도에서 태그 메모리 제어부(210)를 제외한 블록도이다. 즉, 도 7의 메모리 블록들(MAT A, MAT B, MAT C, MAT D)은 도 2의 메모리 블록들(MB1, MB2, MB3, MB4)에 대응된다.

<95> 메모리 블록들(MAT A, MAT B, MAT C, MAT D)은 메모리의 스펙(specification)에 정해진 모든 데이터를 저장할 수 있을 정도의 셀들을 구비하며 복수개의 서브 메모리 블록들로 구성된다.(도 2의 제 2 메모리 블록(MB2) 참조)

<96> 서브 메모리 블록들은 동시에 입력된 기입 어드레스 및 독출 어드레스가 동일한 경우에도 동일한 서브 메모리 블록이 동시에 접근되지 아니한다. 다시 설명하면, 상기 서브 메모리 블록들은 동시에 두 개 이상의 워드라인이 활성화 될 수 없거나 또는 동시에 두 개 이상의 비트라인이 활성화 될 수 없다.

<97> 두 개 이상의 워드 라인이 동시에 활성화되거나 또는 두 개 이상의 비트라인이 동시에 활성화되면 하나의 서브 메모리 블록에서 복수개의 셀에 대해 기입동작이나 독출 동작이 이루어지게 되기 때문이다.

<98> 두 개 이상의 워드 라인이 동시에 활성화되거나 또는 두 개 이상의 비트라인이 동시에 활성화되지 않기 위하여 서브 메모리 블록들은 공통의 워드라인을 공유하는 메모리 셀들의 집합일 수 있다.

<99> 또는 두 개 이상의 워드 라인이 동시에 활성화되거나 또는 두 개 이상의 비트라인이 동시에 활성화되지 않기 위하여 서브 메모리 블록들은 공통의 비트라인을 공유하는 메모리 셀들의 집합일 수 있다.

<100> 각각의 서브 메모리 블록은 복수개의 I/O를 구비한다. 만일 집적 회로 전체 I/O의 개수가 36개이고 하나의 서브 메모리 블록이 9개의 I/O를 구비한다면 도 7에서 알 수 있듯이 서브 메모리 블록들의 모임이 4개가 필요하다. 서브 메모리 블록들의 모임을 편의상 MAT라고 부르기로 한다.

<101> 도 7에서 하나의 MAT는 복수개의 서브 메모리 블록들을 구비한다. 하나의 MAT에서 출력되는 I/O의 개수는 9개이다. 하나의 MAT가 구비하는 복수개의 서브 메모리 블록들은 9개의 I/O에 각각 연결된다.

<102> 하나의 MAT마다 하나의 데이터 메모리 블록이 대응된다. 데이터 메모리 블록의 사이즈는 하나의 서브 메모리 블록의 사이즈와 동일하다. 예를 들어, 하나의 MAT가 서브 메모리 블록 16개를 구비한다면 데이터 메모리 블록의 사이즈는 하나의 MAT의 사이즈의 1/16이 된다.

<103> 도 7의 집적 회로에 4개의 MAT가 존재하며 4개의 데이터 메모리 블록이 존재하므로 데이터 메모리 블록의 사이즈는 집적 회로에 존재하는 메모리 블록(4개의 MAT를 말한다.)의 사이즈의 1/16이 된다.

<104> 데이터 메모리 블록이 하나의 서브 메모리 블록과 동일한 사이즈를 갖는 이유는 하나의 서브 메모리 블록에서 동시에 기입 동작과 독출 동작이 수행될 수 없기 때문에 동시에 서브 메모리 블록에서 기입동작과 독출 동작이 수행될 경우를 대비하기 위함이다.

<105> 또한 데이터 메모리 블록이 하나의 서브 메모리 블록과 동일한 사이즈를 가짐으로써 태그 메모리 제어부에서의 비교 동작과 내부 동작에 대한 판단이 빠르게 수행될 수 있는 장점이 있다.

<106> 도 8은 서브 메모리 블록과 데이터 메모리 블록의 맵핑(mapping)을 설명하는 도면이다.

<107> 데이터 메모리 블록이 하나의 서브 메모리 블록과 동일한 사이즈를 갖는다면 경우에 따라서는 서브 메모리 블록과 다른 칼럼(column) 수와 다른 로우(row) 수를 가질 수 있다.

<108> 예를 들어서 서브 메모리 블록이 32개의 칼럼(column)과 512개의 로우(row) 및 9개의 IO의 구성을 구비한다고 가정한다. 이 때, 하나의 서브 메모리 블록에 포함된 셀들의 개수는  $32 \times 512 \times 9 = 147,456$  개가된다. 하나의 비트라인에 512개의 셀(cell)이 연결되면서 셀 접근 시간(access time)이 증가되는 문제가 있다.

<109> 따라서, 데이터 메모리 블록의 경우, 셀 어레이의 크기가 크지 않으므로, 512개의 로우(row)를 64개의 로우(row)로 변경하고 서브 메모리 블록의 어드레스와 데이터 메모리 블록의 어드레스를 직접 어드레스 맵핑(direct address mapping)을 이용하여 대응시킴으로써 데이터 메모리 블록의 접근 시간(access time)을 줄일 수 있다.

<110> 서브 메모리 블록들을 구비하는 메모리 블록들(MAT A, MAT B, MAT C, MAT D)은 집적 회로 사이즈의 한계나 집적 회로의 가로 세로 비율 등의 문제로 셀 접근 시간(access time) 향상

만을 위해서 임의로 하나의 서브 메모리 블록의 칼럼(column) 수와 로우(row)수를 변경하기 어렵다.

<111> 그러나 데이터 메모리 블록의 경우는 집적 회로에서 차지하는 면적이 작기 때문에 최적의 셀 접근 시간(access time)을 가질 수 있도록 어드레스의 재 맵핑(mapping)이 가능하다.

<112> 도 8에서, 서브 메모리 블록은 512개의 로우(row)와 32개의 칼럼(column)을 구비하므로 9개의 로우 어드레스( $512 = \{2\}^{\{9\}}$  이므로.)와 5개의 칼럼 어드레스( $32 = \{2\}^{\{5\}}$  이므로.)를 구비한다.

<113> 데이터 메모리 블록을 재 맵핑하면 8개의 작은 블록으로 나뉘어지면서 로우 어드레스의 수가 6개( $64 = \{2\}^{\{6\}}$  이므로.)가 되고 나머지 3개의 로우 어드레스는 8개의 작은 블록들을 선택하는 블록 선택 신호로서 이용될 수 있다.

<114> 이것은 한가지 예이며, 이러한 방법으로 서브 메모리 블록들을 구비하는 MAT의 구조와 데이터 메모리 블록에 필요한 셀 접근 시간에 따라서 다양한 맵핑 방법이 사용될 수 있다.

<115> 태그 메모리 제어부는 데이터 메모리 블록에 현재 저장되어 있는 데이터가 본래 어떤 서브 메모리 블록에 대응되는 데이터인지를 나타내는 데이터 메모리 어드레스 및 데이터 메모리 블록에 현재 저장되어 있는 데이터 유효한지를 판단하기 위한 유효 판단 정보를 저장한다.

<116> 그러므로 태그 메모리 제어부가 구비하는 어드레스의 공간은 데이터 메모리 블록과 마찬가지로 하나의 서브 블록(sub-block)이 되고, 바이트 기입(byte-write)과 같이 I/O별로 따로 기입하는 기능이 없는 집적 회로의 경우에는 집적 회로는 하나의 태그 메모리 제어부만 구비하면 된다.

<117> 그러나 바이트 기입(byte-write) 기능이 있는 경우에는, 바이트(byte)별로 데이터 메모리 블록의 내용이 달라지기 때문에 집적 회로는 바이트(byte)별로 태그 메모리 제어부를 구비해야 한다.

<118> 태그 메모리 제어부는 데이터 메모리 블록을 디코딩하기 위한 어드레스 수와 동일한 수의 디코딩 어드레스를 가진다. 그러나 태그 메모리 제어부는 데이터 메모리 블록과 다른 칼럼(column) 수와 다른 로우(row) 수를 가질 수 있다.

<119> 즉, 태그 메모리 제어부도 짧은 셀 접근 시간(access time)이 필요할 경우에는 데이터 메모리 블록과 마찬가지로 재 맵핑(mapping)을 할 수 있다.

<120> 다만, 재 맵핑의 경우 달라지는 점은 데이터 메모리 블록의 경우는 서브 메모리 블록의 하나의 어드레스에 대응하는 데이터가 I/O 데이터인 반면에 태그 메모리 제어부는 데이터 메모리 어드레스에 대응되는 어드레스 데이터와 유효 판단 정보에 대응되는 유효 비트를 구비한다는 점이다.

<121> 태그 메모리 제어부의 각 어드레스는 서브 메모리 블록이  $\{2\}^{\{N\}}$  개라면,  $N+1$  개의 데이터 비트를 구비하며, 상기  $N+1$  개의 데이터 비트 중  $N$  비트는 데이터 메모리 어드레스를 나타내고, 나머지 1비트는 상기 유효 판단 정보를 나타낸다.

<122> 예를 들어, 1개의 MAT가 32개의 서브 메모리 블록을 구비한다면( $N=5$  인 경우) 태그 메모리 제어부의 각 어드레스는 6개의 데이터 비트를 구비하며, 그 중 데이터 메모리 어드레스를 나타내는 어드레스 데이터가 5개이고 유효 판단 정보를 나타내는 유효 비트가 1개가된다.

<123> 이상에서와 같이 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허

청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

#### 【발명의 효과】

<124> 상술한 바와 같이 본 발명에 따른 메모리 셀 어레이 구성을 가지는 집적 회로는 클럭 신호의 한 주기 동안 독출 동작 및 기입 동작이 동시에 수행됨으로써 클럭 신호의 주기를 짧게 할 수 있는 장점이 있다.

**【특허청구범위】****【청구항 1】**

입출력 포트가 분리되어 있고 클럭 신호의 한 주기 동안 기입 어드레스와 독출 어드레스가 동시에 입력되는 집적 회로에 있어서,  
복수개의 서브 메모리 블록들을 각각 구비하는 복수개의 메모리 블록들 ;  
상기 메모리 블록들에 대응되는 데이터 메모리 블록들 ; 및  
상기 기입 어드레스 또는 상기 독출 어드레스에 응답하여 데이터를 상기 메모리 블록들  
및 상기 데이터 메모리 블록들로 기입하거나 독출하는 태그 메모리 제어부를 구비하고,  
상기 서브 메모리 블록들은,  
동시에 입력된 상기 기입 어드레스 및 독출 어드레스가 동일한 경우에도 동일한 서브 메  
모리 블록이 동시에 접근되지 아니하는 것을 특징으로 하는 집적 회로.

**【청구항 2】**

제 1항에 있어서, 상기 서브 메모리 블록들은,  
공통의 워드라인을 공유하는 메모리 셀들의 집합이거나 또는 공통의 비트라인을 공유하  
는 메모리 셀들의 집합인 것을 특징으로 하는 집적 회로.

**【청구항 3】**

제 1항에 있어서, 상기 서브 메모리 블록들은,  
동시에 두 개 이상의 워드라인이 활성화 될 수 없거나 또는 동시에 두 개 이상의 비트라  
인이 활성화 될 수 없는 것을 특징으로 하는 집적 회로.

**【청구항 4】**

제 1항에 있어서, 상기 데이터 메모리 블록은,  
상기 하나의 서브 메모리 블록과 동일한 사이즈를 가지는 것을 특징으로 하는 집적 회로.

**【청구항 5】**

제 1항에 있어서, 상기 데이터 메모리 블록은,  
상기 하나의 서브 메모리 블록과 동일한 사이즈를 갖는다면 상기 서브 메모리 블록과 다른 칼럼(column) 수와 다른 로우(row) 수를 가질 수 있는 것을 특징으로 하는 집적 회로.

**【청구항 6】**

제 1항에 있어서, 상기 태그 메모리 제어부는,  
상기 데이터 메모리 블록을 디코딩하기 위한 어드레스 수와 동일한 수의 디코딩 어드레스를 가지는 것을 특징으로 하는 집적 회로.

**【청구항 7】**

제 6항에 있어서, 상기 태그 메모리 제어부는,  
상기 데이터 메모리 블록과 다른 칼럼(column) 수와 다른 로우(row) 수를 가질 수 있는 것을 특징으로 하는 집적 회로.

**【청구항 8】**

제 1항에 있어서, 상기 태그 메모리 제어부는, 상기 데이터 메모리 블록에 현재 저장되어 있는 데이터가 본래 어떤 서브 메모리 블록에 대응되는 데이터인지를 나타내는 데이터 메모

리 어드레스 및 상기 데이터 메모리 블록에 현재 저장되어 있는 데이터 유효한지를 판단하기 위한 유효 판단 정보를 저장하는 것을 특징으로 하는 집적 회로.

#### 【청구항 9】

제 8항에 있어서, 상기 태그 메모리 제어부의 각 어드레스는, 서브 메모리 블록이  $\{2\}^{\{N\}}$  개라면, N+1 개의 데이터 비트를 구비하며, 상기 N+1개의 데이터 비트 중 N 비트는 상기 데이터 메모리 어드레스를 나타내고, 나머지 1비트는 상기 유효 판단 정보를 나타내는 것을 특징으로 하는 집적 회로.

#### 【청구항 10】

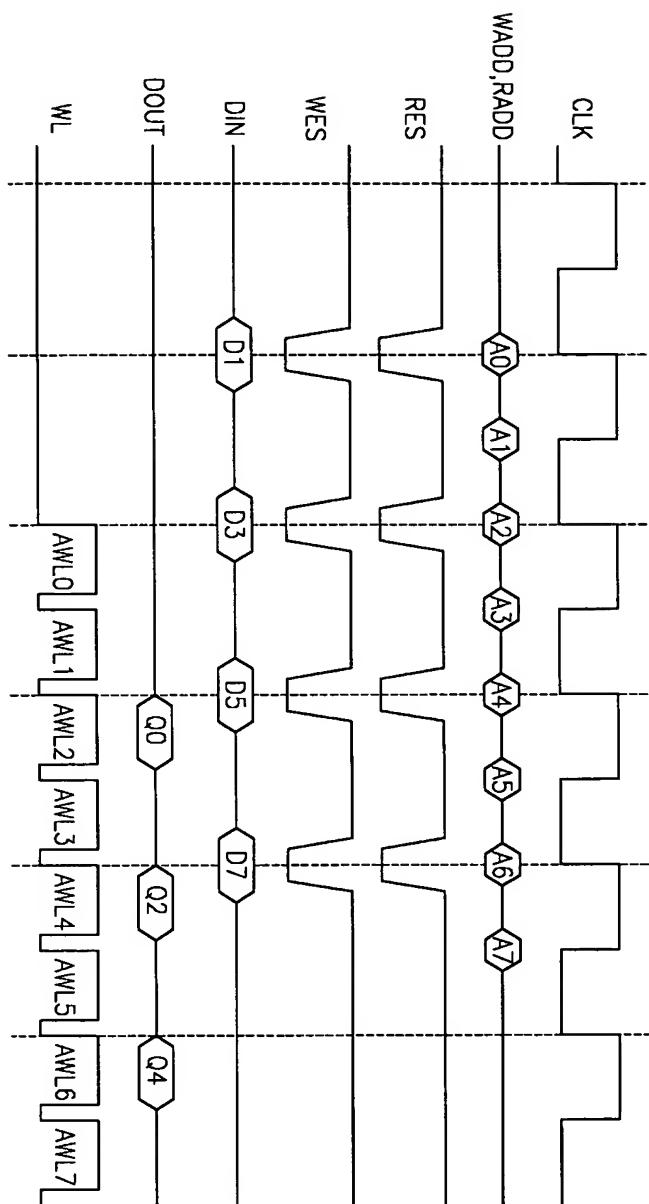
제 1항에 있어서, 상기 데이터 메모리 블록은 상기 서브 메모리 블록과 디렉트 맵핑(direct mapping)의 관계를 가지는 것을 특징으로 하는 집적 회로.

#### 【청구항 11】

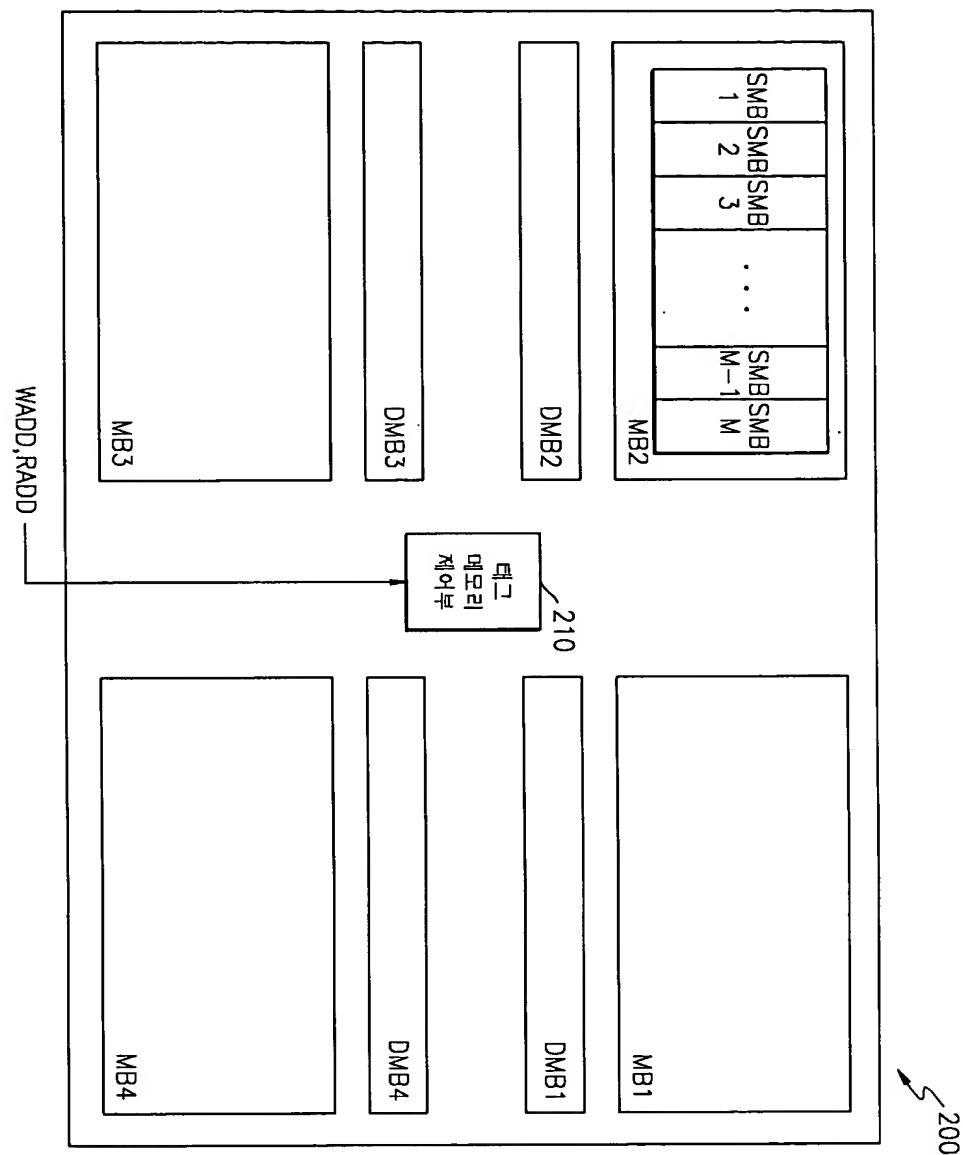
제 1항에 있어서, 상기 데이터는, 단일 데이터 율(SDR :Single Data Rate) 또는 이중 데이터율(DDR :Double Data Rate)로 입력 또는 출력되는 것을 특징으로 하는 집적 회로.

## 【도면】

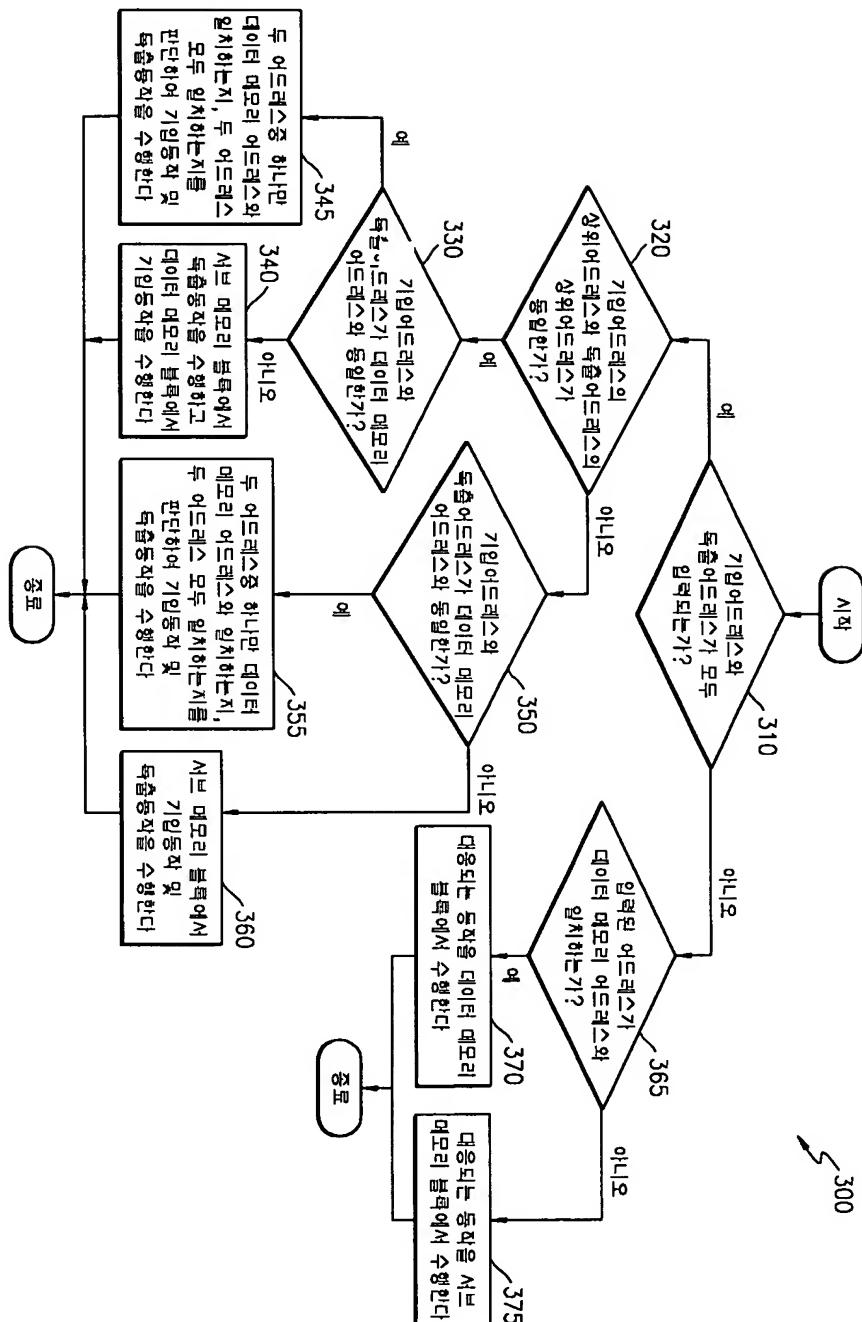
【도 1】



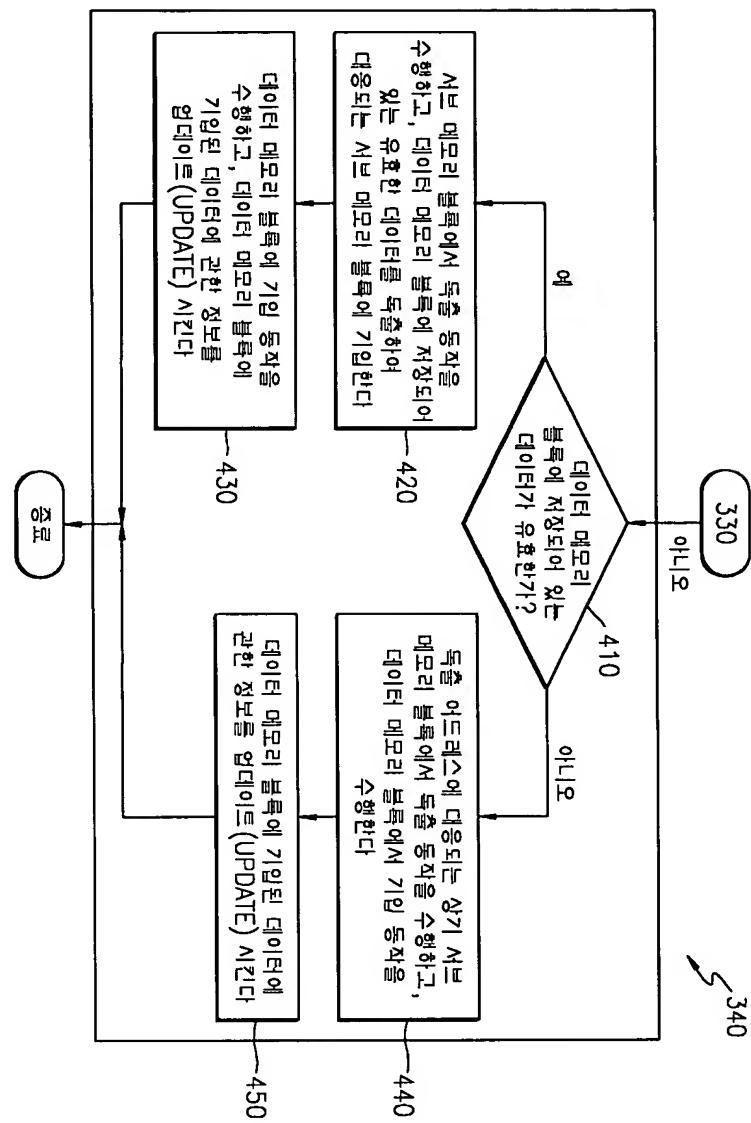
【도 2】



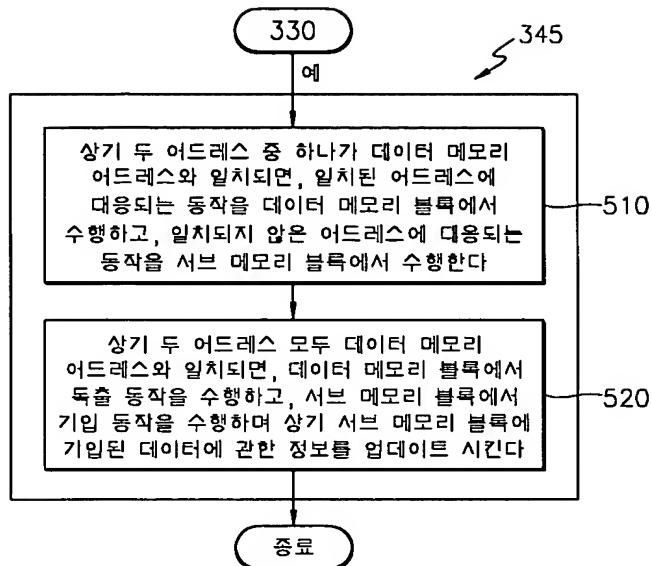
### 【도 3】



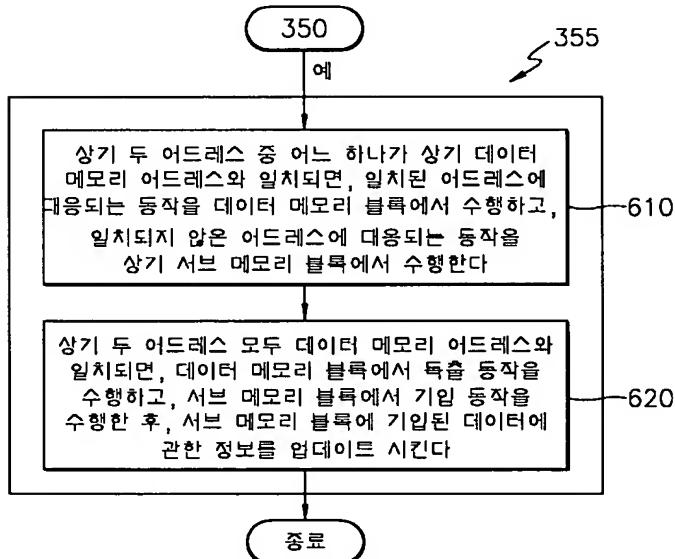
#### 【도 4】



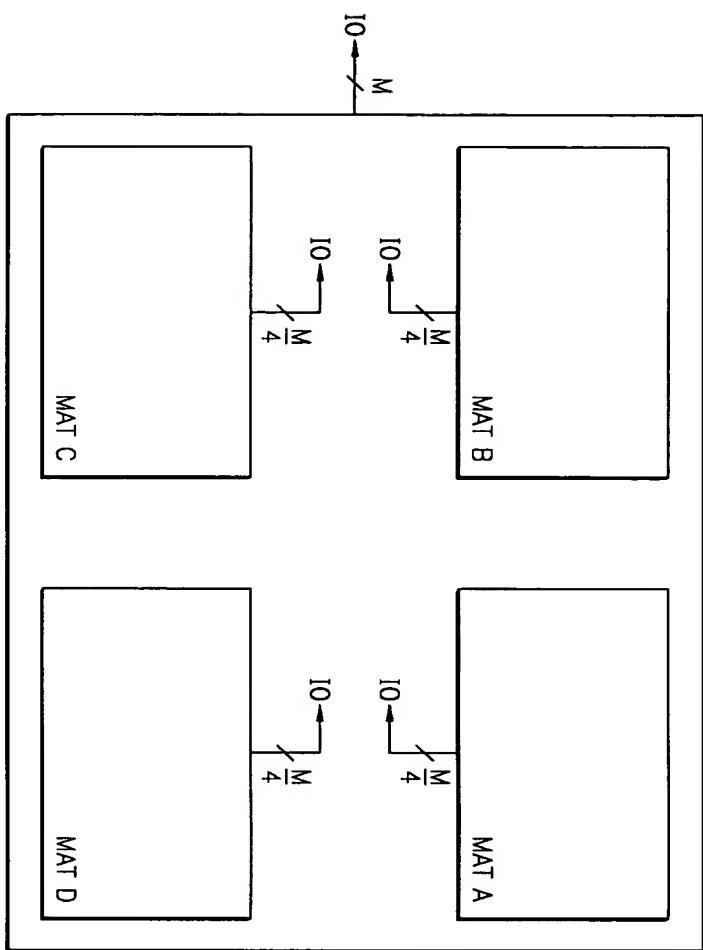
## 【도 5】



## 【도 6】



【도 7】



1020030023733

출력 일자: 2003/11/20

【도 8】

